

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021920

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 21/60

H01L 23/12

(21)Application number : 10-186743

(71)Applicant : SONY CORP

(22)Date of filing : 02.07.1998

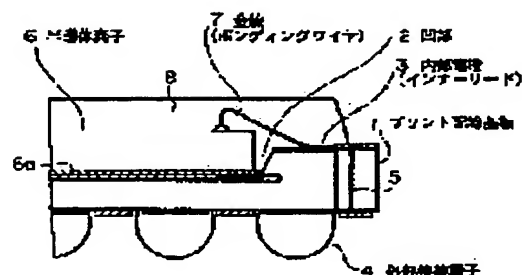
(72)Inventor : NISHIDA HIROSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a compact configuration and thin-type configuration, without causing edge shortages between a semiconductor element and a bonding wire in the surface-mounting type semiconductor device, such as a BGA package using a wire-bonding method.

SOLUTION: A recess 2 is provided in the upper surface of a wiring substrate 1. A semiconductor element 6 is mounted in this recess part 2. At the same time, an inner electrode 3 is provided on the upper surface or the wiring substrate 1 other than the recess 2. The inner electrode 3 and the semiconductor element 6 in the recess 2 are connected by a bonding wire 7. Thus, the length of the wire or the height of the loop is made small.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-21920
(P2000-21920A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/60	3 0 1	H 0 1 L 21/60	3 0 1 A 5 F 0 4 4
23/12		23/12	W

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平10-186743

(22)出願日 平成10年7月2日(1998.7.2)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 西田 浩

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

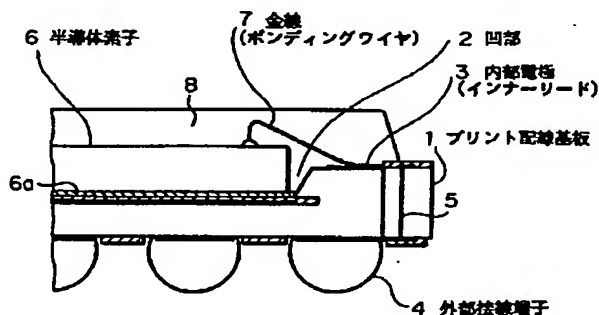
Fターム(参考) 5F044 AA05 HH00 JJ03

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 ワイヤボンディング方式を用いたBGAパッケージのような表面実装型の半導体装置において、半導体素子とボンディングワイヤとのエッジショートを招いてしまうことなくその小型化および薄型化を可能にする。

【解決手段】 配線基板1の上面に凹部2を設け、その凹部2内に半導体素子6を搭載するとともに、凹部2以外の配線基板1上面に内部電極3を設け、その内部電極3と凹部2内の半導体素子6との間をボンディングワイヤ7によって接続することにより、そのワイヤ長またはループ高さを小さくする。



【特許請求の範囲】

【請求項1】 配線基板と、該配線基板上に搭載された半導体素子と、前記配線基板の上面側に設けられた内部電極と、前記半導体素子と前記内部電極の間を接続するボンディングワイヤと、前記配線基板の下面側で前記内部電極と電気的に接続する外部接続端子と、を備える半導体装置において、

前記配線基板の上面に凹部が設けられ、該凹部内に前記半導体素子が搭載されるとともに、前記凹部以外の前記配線基板上面に前記内部電極が設けられたことを特徴とする半導体装置。

【請求項2】 配線基板と、該配線基板上に搭載された半導体素子と、前記配線基板の上面側に設けられた内部電極と、前記半導体素子と前記内部電極の間を接続するボンディングワイヤと、前記配線基板の下面側で前記内部電極と電気的に接続する外部接続端子と、を備える半導体装置において、

前記半導体素子以外の前記配線基板上面に凸部が設けられるとともに、該凸部上に前記内部電極が設けられたことを特徴とする半導体装置。

【請求項3】 配線基板と、該配線基板上に搭載された半導体素子と、前記配線基板の上面側に設けられた内部電極と、前記半導体素子と前記内部電極の間を接続するボンディングワイヤと、前記配線基板の下面側で前記内部電極と電気的に接続する外部接続端子と、を備える半導体装置において、

前記配線基板の上面に凹部が設けられ、該凹部内に前記半導体素子が搭載されるとともに、前記凹部以外の前記配線基板上面に凸部が設けられ、該凸部上に前記内部電極が設けられたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ワイヤボンディング方式を採用した表面実装型の半導体装置に関するものである。

【0002】

【従来の技術】従来、表面実装型の半導体装置の一つとして、例えば図3に示すようなワイヤボンディング方式を採用したボール・グリッド・アレイ (Ball Grid Array; 以下、BGAと略す) パッケージが広く知られている。このBGAパッケージは、板状に形成されたプリント配線基板11の下面に球状の半田12をアレイ状に並べてリードの代わりにしたものであり、各半田12とプリント配線基板11上面にダイマウントされた半導体素子13との間が金 (Au) 線14を用いたワイヤボンディングによって電気的に接続されているものである。なお、半導体素子13および金線14は、プリント配線基板11上面を覆う封止樹脂15によって封止されている。

【0003】

【発明が解決しようとする課題】ところで、近年、BGAパッケージに対しては、より一層の高密度実装を可能にするために、パッケージのサイズ (大きさおよび高さ) を極力抑えることが要求されている。そのためには、ワイヤボンディングを行う金線14のワイヤ長またはループ高さを小さくすることが有効である。

【0004】しかしながら、BGAパッケージは、通常、図4に示すように、ワイヤボンディングの第1ボンダ点 (半導体素子13の電極) 21と第2ボンダ点 (プリント配線基板上面に設けられた内部電極) 22との間に、半導体素子13のチップ厚さ (例えば、350~400 μ m) に相当する段差を有している。したがって、金線14のワイヤ長またはループ高さを小さくすると、半導体素子13のエッジと金線14との間の距離 (図中におけるB) が小さくなってしまい、例えば図5のようにこれらが互いに接触する不具合、すなわちエッジショートと呼ばれる不良を招いてしまう可能性が非常に高くなってしまふ。

【0005】このようなエッジショートの発生を避けるためには、例えば図6に示すように、第1ボンダ点21と第2ボンダ点22との間の距離を大きくして、金線14のワイヤ長を増大させることにより、その取り回しに余裕を持たせることが考えられるが、この場合にはBGAパッケージのサイズも大きくなってしまふので、結果としてBGAパッケージの小型化に対する妨げとなってしまう。また、例えば図7に示すように、金線14のループ高さを大きくして、その取り回しに余裕を持たせることが考えられるが、この場合にはBGAパッケージ全体の厚さも大きくなってしまふので、結果としてBGAパッケージの薄型化に対する妨げとなってしまう。

【0006】さらには、例えば図8に示すように、半導体素子13のチップ厚さを薄くして第1ボンダ点21と第2ボンダ点22との間の段差を小さくすることにより、金線14の取り回しに余裕を持たせることが考えられる。ところが、半導体素子13のチップ厚さを薄くすることは、組立工程以外のウエハ処理工程等での対応が必要になる点、ウエハの強度低下による輸送時の割れ発生の問題点、コスト上昇を招くおそれがある点、生産管理上での問題点、その他解決すべき点が非常に多くその実現が困難である。また、薄くできる厚さにも限界があるため (200 μ m程度以下の薄型化は困難)、BGAパッケージの薄型化についても自ずと限界が生じてしまふ。

【0007】そこで、本発明は、ワイヤボンディング方式を用いたBGAパッケージのような表面実装型の半導体装置において、エッジショートを招いてしまふことなくその小型化および薄型化を可能にするとともに、これを既存の組立プロセスや組立設備等を変更することなく容易に実現することのできる半導体装置を提供すること

を目的とする。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために案出されたもので、請求項1記載の半導体装置は、配線基板と、この配線基板上に搭載された半導体素子と、前記配線基板の上面側に設けられた内部電極と、前記半導体素子と前記内部電極の間を接続するボンディングワイヤと、前記配線基板の下面側で前記内部電極と電気的に接続する外部接続端子とを備えるものにおいて、さらには、前記配線基板の上面に凹部が設けられその凹部内に前記半導体素子が搭載されるとともに、前記凹部以外の前記配線基板上面に前記内部電極が設けられたことを特徴とするものである。

【0009】請求項1記載の発明に係わる半導体装置の構成によれば、半導体素子が凹部内に搭載されているので、その半導体素子上面と凹部以外の配線基板上面との間の段差は、半導体素子自体の厚さよりも小さくなる。したがって、半導体素子自体を薄くすることなく、ボンディングワイヤのワイヤ長あるいはループ長を小さくすることができるようになる。しかも、ボンディングワイヤは、ワイヤ長あるいはループ長を小さくしても、半導体素子のエッジに接触し難くなる。

【0010】また、請求項2記載の半導体装置は、半導体素子以外の配線基板上面に凸部が設けられるとともに、その凸部上に内部電極が設けられたことを特徴とするものである。

【0011】請求項2記載の発明に係わる半導体装置の構成によれば、内部電極が凸部上に設けられているので、その内部電極と半導体素子上面との間の段差は、半導体素子自体の厚さよりも小さくなる。したがって、半導体素子自体を薄くすることなく、ボンディングワイヤのワイヤ長あるいはループ長を小さくできるようになる。しかも、ボンディングワイヤは、半導体素子のエッジに接触し難くなる。

【0012】また、請求項3記載の半導体装置は、配線基板の上面に凹部が設けられその凹部内に半導体素子が搭載されるとともに、前記凹部以外の前記配線基板上面に凸部が設けられその凸部上に内部電極が設けられたことを特徴とするものである。

【0013】請求項3記載の発明に係わる半導体装置の構成によれば、半導体素子が凹部内に搭載され、かつ、内部電極が凸部上に設けられているので、上述した請求項1または2の場合と同様に、半導体素子自体を薄くすることなく、ボンディングワイヤのワイヤ長あるいはループ長を小さくできるようになる。しかも、ボンディングワイヤは、半導体素子のエッジに接触し難くなる。

【0014】

【発明の実施の形態】以下、図面に基づき本発明に係わる半導体装置について説明する。

【0015】〔第1の実施の形態〕ここでは、請求項1

記載の発明に係わるBGAパッケージについて説明する。図1は、本発明を、ワイヤボンディング方式を用いたBGAパッケージに適用した場合の概略構成を示す断面図である。

【0016】図例のように、本実施の形態におけるBGAパッケージは、樹脂やセラミックス等の絶縁部材からなるプリント配線基板1を基に構成されている。このプリント配線基板1は、その上面中央近傍に凹部2を有するとともに、その上面周縁近傍、すなわち凹部2以外の上面に内部電極（インナーリード）3が設けられている。また、プリント配線基板1の下面には、球状の半田をアレイ状に並べてリードの代わりにした外部接続端子4が規則的に配列されている。なお、内部電極3と外部接続端子4とは、互いに対応するもの同士がスルーホール5を介して電気的に接続されているものとする。

【0017】プリント配線基板1の凹部2内には、半導体素子6がダイマウントされている。この半導体素子6は、絶縁性を有する接着剤6aによってプリント配線基板1に接着されているものとする。また、凹部2内にダイマウントされた半導体素子6は、金線7を用いたワイヤボンディングによって内部電極3と電気的に接続している。これにより、外部接続端子4と半導体素子6とは電気的に接続することになる。さらに、半導体素子6および金線7は、プリント配線基板1上側を覆う封止樹脂8によって封止されている。

【0018】このように、本実施の形態のBGAパッケージは、プリント配線基板1、内部電極3、外部接続端子4、半導体素子6、ワイヤボンディングのための金線7および封止樹脂8を備えて構成されている。

【0019】これらの構成要素は、それぞれ、以下のようないくつかの寸法で形成されている。すなわち、
・半導体素子6の厚さ； $\text{Max } 400 \mu\text{m}$
・金線7のループ高さ； $\text{Max } 300 \mu\text{m}$
・金線7のワイヤ長； $\text{Min } 1.0 \text{mm}$
・金線7のループ頂点から封止樹脂8上面までの距離； $\text{Min } 50 \mu\text{m}$
・内部電極3から封止樹脂8端縁までの距離； $\text{Min } 0.5 \text{mm}$
・封止樹脂8端縁からプリント配線基板1端縁までの距離； $\text{Min } 0 \text{mm}$

となっている。

【0020】したがって、半導体素子6搭載面から封止樹脂8上面までの間は、少なくとも $400 + 300 + 50 = 750 \mu\text{m}$ 程度の厚さが必要となる。また、プリント配線基板1は、その一辺の大きさが、半導体素子6の一辺の大きさに加えて、少なくとも $(1.0 + 0.5) \times 2 = 3 \text{mm}$ 程度必要となる。

【0021】ところが、本実施の形態のBGAパッケージでは、プリント配線基板1が凹部2を有しており、しかもその凹部2内に半導体素子6が搭載されている。こ

の凹部2は、その堀り込み深さが、半導体素子6の厚さの半分程度の200~300 μ mとなっており、機械加工またはエッチング等の方法で形成されているものとする。

【0022】そのため、このBGAパッケージでは、半導体素子6上面と内部電極3との間の段差を、従来のもの(図3参照)よりも小さくすることができる。すなわち、その段差が半導体素子6自体の厚さよりも小さくなるので、半導体素子6自体を薄くしたのと同様に効果を得ることができる。

【0023】具体例を挙げて説明すると、凹部2の堀り込み深さが200 μ mとすると、半導体素子6上面と内部電極3との間の段差は、400-200=200 μ mとなる。よって、この場合には、段差の減少に伴って、金線7のループ高さを200 μ m程度、金線7のワイヤ長を0.7mm程度に抑えることができるようになる。

【0024】これにより、このBGAパッケージでは、プリント配線基板1上面から封止樹脂8上面までの間の距離が200+200+50=450 μ m程度、プリント配線基板1の一辺の大きさが半導体素子6一辺の大きさに加えて(0.7+0.5) \times 2=2.4mm程度となり、従来のもの(図3参照)に比べて、300 μ m程度の薄型化および一辺あたり0.6mm程度の小型化を実現することが可能となる。

【0025】以上のように、本実施の形態のBGAパッケージは、半導体素子6が凹部2内に搭載されているので、半導体素子6上面と内部電極3との間の段差が半導体素子6自体の厚さよりも小さくなる。したがって、半導体素子6自体を薄くすることなく、ワイヤボンディングのための金線7のワイヤ長あるいはループ高さを小さくできることになる。また、金線7のワイヤ長あるいはループ高さを小さくしても、その金線7が半導体素子6のエッジに接触するエッジショートが発生を避けることができるようになる。

【0026】つまり、このBGAパッケージは、エッジショートを招くことなく小型化または薄型化を実現できるので、より一層の高密度実装を可能にするために好適なものとなる。また、そのために、組立工程以外のウエハ処理工程等での対応を行ったり、ウエハの強度低下による輸送時の割れやコスト上昇等が発生してしまうことがないので、既存の組立プロセスや組立設備等を変更することなく、BGAパッケージの小型化または薄型化を容易に実現することができるようになる。

【0027】さらに、本実施の形態のBGAパッケージでは、半導体素子6上面と内部電極3との間の段差を減らすことで、ワイヤボンディングの条件に余裕が生まれるため、副次的にワイヤボンディング工程での歩留りの向上およびボンディングスピード(処理効率)の向上が期待できる。

【0028】〔第2の実施の形態〕次に、請求項2記載 50

の発明に係わる半導体装置について説明する。図2は、本実施の形態におけるBGAパッケージの概略構成を示す断面図である。ただし、ここでは、上述した第1の実施の形態の同一の構成要素については、同一の符号を与えてその説明を省略するものとする。

【0029】図例のように、本実施の形態のBGAパッケージは、プリント配線基板1aが第1の実施の形態の場合のような凹部を有しておらず、板状に形成されている。ただし、このプリント配線基板1aの上面には、半導体素子6の周辺部に、絶縁体または金属に樹脂コーティングしたもの等からなる凸部9が設けられている。

【0030】凸部9の上面には、内部電極3が設けられており、さらにその内部電極3は、Cu箔等でパターニングした配線3aおよびスルーホール5を介して外部接続端子4と電気的に接続している。

【0031】このように構成されたBGAパッケージでは、内部電極3が凸部9上に設けられているので、半導体素子6上面と内部電極3との間の段差を、従来のもの(図3参照)よりも小さくすることができる。具体例を挙げて説明すると、凸部9の突出高さを200 μ mとすると、半導体素子6上面と内部電極3との間の段差は、400-200=200 μ mとなる。よって、この場合には、段差の減少に伴って、金線7のループ高さを200 μ m程度、金線7のワイヤ長を0.7mm程度に抑えることができるようになる。

【0032】これにより、このBGAパッケージでは、プリント配線基板1a上面から封止樹脂8上面までの間の距離が400+200+50=650 μ m程度、プリント配線基板1の一辺の大きさが半導体素子6一辺の大きさに加えて(0.7+0.5) \times 2=2.4mm程度となり、従来のもの(図3参照)に比べて、100 μ m程度の薄型化および一辺あたり0.6mm程度の小型化を実現することが可能となる。

【0033】以上のように、本実施の形態のBGAパッケージは、内部電極3が凸部9上に設けられているので、半導体素子6上面と内部電極3との間の段差が半導体素子6自体の厚さよりも小さくなる。したがって、第1の実施の形態における場合と同様に、既存の組立プロセスや組立設備等を変更することなく、BGAパッケージの小型化または薄型化を実現できる。また、ワイヤボンディング工程での処理効率向上等も期待できる。

【0034】ただし、本実施の形態のBGAパッケージは、凸部9によって内部電極3を嵩上げる構成のため、第1の実施の形態の場合に比べると薄型化への効果が小さい。ところが、このBGAパッケージでは、例えば凹部2のようなプリント配線基板1への加工を行わなくても、凸部9の接着等によりプリント配線基板1a上面に設けるだけでよいので、その対応が容易であり、コスト等の面からも好適なものとなる。また、既存のプリント配線基板1a等についても凸部9を追加するだけで

小型化または薄型化への対応が可能となる。

【0035】なお、上述した第1の実施の形態ではプリント配線基板1が凹部2を有する場合、また第2の実施の形態ではプリント配線基板1aが凸部9を有する場合についてそれぞれ別々に説明してきたが、本発明はこれらに限定されるものではなく、例えば請求項3に記載の発明のように双方を互いに組み合わせて構成したものであってもよい。

【0036】この場合には、プリント配線基板1が凹部2と凸部9との両方を有することによって、半導体素子6上面と内部電極3との間の段差を無くすることも可能となり、さらなるBGAパッケージの小型化または薄型化が可能となる。具体的には、段差を「0」にすることにより、金線7のループ高さを100 μ m程度、金線7のワイヤ長を0.5mm程度にまで抑えることができ、第1の実施の形態の場合に加えてさらに100 μ m程度の薄型化および一辺あたり0.4mm程度の小型化、従来のもの(図3参照)に対しては400 μ m程度の薄型化および一辺あたり1.0mm程度の小型化を実現することが可能となる。

【0037】

【発明の効果】以上に説明したように、本発明の半導体装置は、半導体素子自体を薄型化することなく、ボンディングワイヤのワイヤ長さあるいはループ長を小さくできることになる。また、ワイヤ長さあるいはループ高さを小さくしても、エッジショートが発生を避けることができるようになる。したがって、この半導体装置では、エッジ短ートを招くことなく半導体装置の小型化または薄型化を実現できるので、より一層の高密度実装を可能にするために好適なものとなる。また、そのために、組

立工程以外のウエハ処理工程等での対応を行ったり、ウエハの強度低下による輸送時の割れやコスト上昇等が発生してしまうことがないので、既存の組立プロセスや組立設備等を変更することなく、半導体装置の小型化または薄型化を容易に実現することができるようになる。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の第1の実施の形態における概略構成の一例を示す断面図である。

【図2】本発明に係わる半導体装置の第2の実施の形態における概略構成の一例を示す断面図である。

【図3】従来の半導体装置の概略構成の一例を示す断面図である。

【図4】図3に示す半導体装置の要部(A部)の詳細を示す拡大図である。

【図5】図3に示す半導体装置においてエッジショートと呼ばれる不良が発生した状態の一例を示す説明図である。

【図6】エッジショートが発生を避けるためにボンディングワイヤのワイヤ長を大きくした場合の一例を示す説明図である。

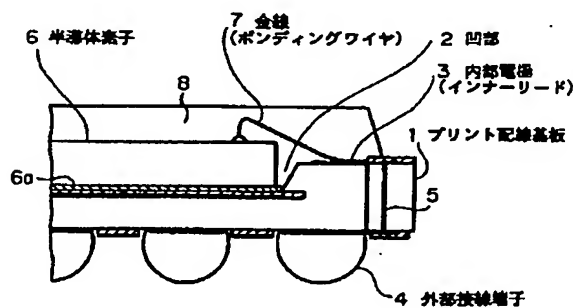
【図7】エッジショートが発生を避けるためにボンディングワイヤのループ高さを大きくした場合の一例を示す説明図である。

【図8】エッジショートが発生を避けるために半導体素子のチップ厚さを小さくした場合の一例を示す説明図である。

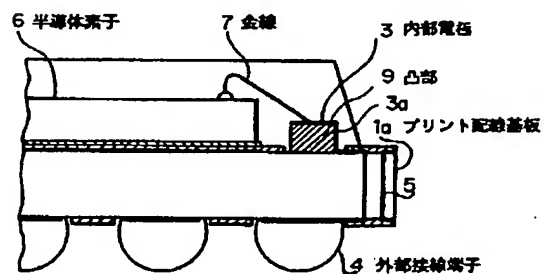
【符号の説明】

1, 1a…プリント配線基板、2…凹部、3…内部電極(インナーリード)、4…外部接続端子、6…半導体素子、7…金線(ボンディングワイヤ)、9…凸部

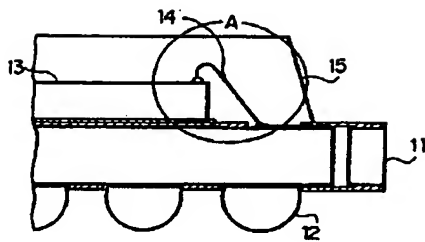
【図1】



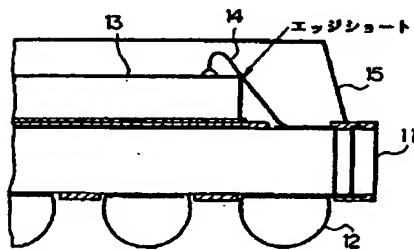
【図2】



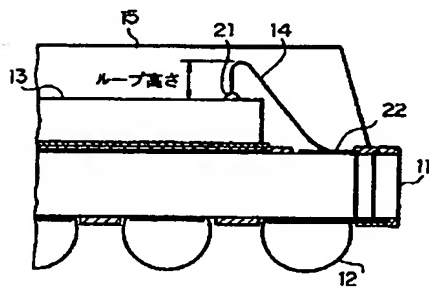
【図3】



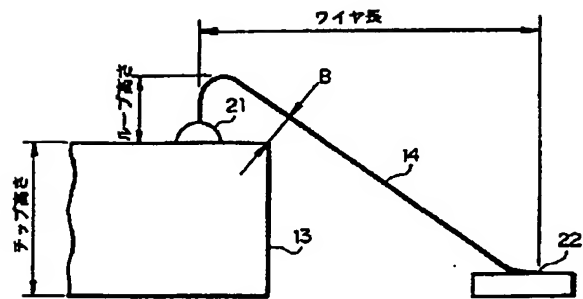
【図5】



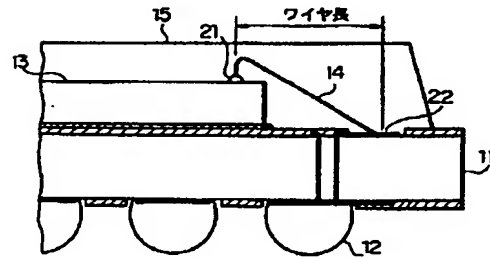
【図7】



【図4】



【図6】



【図8】

